

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

007176238

WPI Acc No: 1987-173247/198725

Silicon semiconductor layer formation at low temp. - involves growing
grain by annealing silicon layer on substrate below m.pt. NoAbstract Dwg 7/7

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62104021	A	19870514	JP 85243687	A	19851030	198725 B

Priority Applications (No Type Date): JP 85243687 A 19851030

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 62104021	A	10		
-------------	---	----	--	--

Title Terms: SILICON; SEMICONDUCTOR; LAYER; FORMATION; LOW;
TEMPERATURE; GROW; GRAIN; ANNEAL; SILICON; LAYER; SUBSTRATE; BELOW;
NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02187121 **Image available**

FORMATION OF SILICON SEMICONDUCTOR LAYER

PUB. NO.: **62-104021** [JP 62104021 A]

PUBLISHED: May 14, 1987 (19870514)

INVENTOR(s): NOGUCHI TAKASHI

HAYASHI HISAO

OOSHIMA TAKEFUMI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 60-243687 [JP 85243687]

FILED: October 30, 1985 (19851030)

INTL CLASS: [4] H01L-021/20; H01L-021/263; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

JOURNAL: Section: E, Section No. 547, Vol. 11, No. 309, Pg. 141,
October 08, 1987 (19871008)

ABSTRACT

PURPOSE: To obtain a silicon semiconductor layer having good electric characteristics in a low temperature process by annealing the layer on a substrate at low temperature to grow particle diameter, and then annealing it at melting point or lower of the layer to reduce grain boundary trap density of the layer.

CONSTITUTION: An SiO_2 film 2 on an insulating substrate is coated with a polycrystalline silicon layer 3, silicon ions Si^{+4} are implanted to form an amorphous silicon, thereby forming an amorphous silicon layer 5. It is crystalline grown by low temperature heat treatment of 700 deg.C or lower to form a polycrystalline silicon layer 6 having large crystal grains. Then, a superthin film silicon layer 6 is formed by etching with phosphoric acid, a laser 7 of short wave is emitted with energy of the degree not melting the layer 6 to be quasi-high temperature heat treated, to form the polycrystalline silicon layer 6. At this time the heat treatment is executed at 1,000 deg.C or higher and melting point or lower. This laser heat treatment reduces the grain boundary trap density, however, does not vary the grain diameter but instead, maintains as they are.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-104021

⑬ Int. Cl.⁴

H 01 L 21/20
21/263
29/78

識別記号

庁内整理番号

7739-5F

⑭ 公開 昭和62年(1987)5月14日

8422-5F 審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 シリコン半導体層の形成方法

⑯ 特 願 昭60-243687

⑰ 出 願 昭60(1985)10月30日

⑱ 発 明 者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	大 嶋 健 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 伊 藤 貞	外1名	

明 細 書

発明の名称 シリコン半導体層の形成方法

特許請求の範囲

基板上のシリコン半導体層に 700℃ 以下の熱処理を施して粒径を成長させた後、1000℃ 以上で上記シリコン半導体層の融点以下の熱処理により上記シリコン半導体層の粒界トラップ密度を低下させることを特徴とするシリコン半導体層の形成方法。

発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン半導体層の形成方法、特に薄膜トランジスタを製造する際の能動領域となる薄膜半導体層を形成するのに好適なシリコン半導体層の形成方法に関する。

(発明の概要)

本発明は、例えば薄膜トランジスタ等を製造する際に適用されるシリコン半導体層の形成方法において、基板上のシリコン半導体層を低温アニー

ルして粒径を成長させた後、シリコン半導体層の融点以下のアニールによりシリコン半導体層の粒界トラップ密度を少なくさせることによって、低温プロセスで電気的特性の良いシリコン半導体層が得られるようにしたものである。

(従来の技術)

一般に薄膜トランジスタは、石英ガラス等の絶縁基体上にシリコン等の半導体薄膜を被着形成し、この薄膜半導体層に例えばチャンネルが形成される活性領域や低抵抗のソース領域、ドレイン領域を夫々形成して電界効果型トランジスタを構成するようにしている。

ところで、薄膜トランジスタの基板としては、従来より高融点の石英ガラスが一般に用いられているが、材料費が高価となるため、石英ガラスより低融点の通常の耐熱ガラスを基板に用いることが望まれている。このような比較的低温の耐熱ガラス(例えば歪点 700℃ 程度)を基板に用いる場合には、薄膜トランジスタの製造工程中の

基板の上限温度を基板ガラスの歪点以下とするような低温プロセスが必要となる。

しかしながら、このような低温プロセスにおいては特性の良好な活性領域を得ることは困難である。すなわち、基板上に例えばCVD法（化学気相成長法）でシリコンを被着形成したのみでは、結晶粒径の小さな多結晶シリコン層が形成され電気的特性、特に移動度 μ 、閾値電圧 V_{th} の点で良好なものが得られない。次に、CVD法により多結晶シリコンを被着形成した後、シリコンイオン Si^+ を注入して非晶質化し、次で低温アニール

（600℃程度）して結晶粒径を大きくした多結晶シリコン層を得る方法も考えられている。この場合には比較的高性能の薄膜トランジスタ（移動度 $\mu \approx 60$ 、閾値電圧 $V_{th} \approx 6V \sim 7V$ ）が得られるが、1000℃の高温プロセスで製造された薄膜トランジスタ（移動度 $\mu \approx 100$ 、閾値電圧 $V_{th} \approx 4V$ ）には及ばない。この原因は多結晶シリコン層の結晶粒径でなく、その粒界トラップ密度が600℃では充分改善されないからである。

で融点以下の熱処理としてはレーザアニール（例えばエキシマレーザによる）、ハロゲンランプ等によるランプアニール（いずれも短波長がよい。）を、或は電子線アニール、等を用いることができる。

基板としては、低温プロセスで使用可能な低融点ガラス（例えば無アルカリガラス）、或は石英ガラス、半導体基板上に SiO_2 等の絶縁膜を被着した基板、等を用いることができる。

〔作用〕

基板上のシリコン半導体層に中性イオンを注入しシリコン半導体層を非晶質化した後、700℃以下の低温熱処理が施されることにより、シリコン半導体層が固相成長され、結晶粒径が大きくなる。次で、多結晶化されたシリコン半導体層が1000℃以上でシリコンの融点以下の温度で擬似高温熱処理されることにより、結晶粒径は変化せずそのまゝの状態、粒界トラップ密度だけが減少する。

従って、低温プロセスにおいて電気的特性の良

（発明が解決しようとする問題点）

上述のように、薄膜トランジスタを低温プロセスで製造しようすると、得られた薄膜半導体層、さらには活性領域となる部分の電気的特性が不充分である。

本発明は、上述の点に鑑み、比較的簡単な方法で電気的特性の良好な薄膜シリコン半導体層を低温プロセスで形成し得るようなシリコン半導体層の形成方法を提供するものである。

（問題点を解決するための手段）

本発明は、基板上にシリコン半導体層を被着形成し、このシリコン半導体層に700℃以下の熱処理を施して粒径を成長させた後、1000℃以下で粒径成長したシリコン半導体層側の融点以下の熱処理によりシリコン半導体層の粒界トラップ密度を低下させるようになる。

シリコン半導体層は700℃以下の熱処理前に中性イオン例えばシリコンイオン Si^+ を注入して非晶質化させておくを可とする。また、1000℃以上

好な多結晶シリコン半導体層が得られる。

〔実施例〕

以下、図面を参照して本発明に係るシリコン半導体層の形成方法を、薄膜トランジスタの製造に適用した一実施例について説明する。

まず、第1図に示すように基板(1)として例えば耐熱ガラスより成る絶縁基板上に膜厚1000Å程度の SiO_2 膜(2)を被着形成したものを用いる。ここで基板(1)には、石英板を用いてもよいが、石英よりも低融点のガラス基板（例えば無アルカリガラス：歪点700℃）で充分である。

この絶縁基板の SiO_2 膜(2)上に膜厚800Å程度の多結晶シリコン層(3)を減圧CVD法（化学気相成長法）により被着形成する。この多結晶シリコン層(3)に対してシリコンイオン Si^+ (4)をイオン注入して非晶質化し、第2図に示すように非晶質シリコン層(5)を形成する。このときの Si^+ のイオン注入条件としては、例えば打込みエネルギー50～60KeVとし、打込みドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ 程度

とする。また、多結晶シリコン層④の膜厚がさらに厚い場合には、打込みエネルギーを高めればよい。

次に、非晶質化されたシリコン層⑤に対して例えば 600℃、30時間の低温熱処理を施して、結晶成長させ、第3図に示すように結晶粒の大きな多結晶シリコン層⑥を形成する。このときの結晶粒径は1μm以上に成長する。

次に第4図に示すように、多結晶シリコン層⑥に対し、表面を液温が例えば 170℃程度の焼酸(H₂PO₄)にてエッチング処理して、膜厚が例えば 200Å～300Å程度の超薄膜シリコン層⑦を形成する。なお、超薄膜トランジスタを形成するためのシリコン層⑦の膜厚としては20Å～1000Åが好ましく、より好ましくは100Å～750Å、さらに好ましくは200Å～500Åである。また、上記エッチングによる薄膜化の際のエッチング液としては、液温が160℃以上の焼酸がエッチングの安定性、エッチングレート(2～3Å/分)等の点で優れており、数百Å程度の超薄膜を得るための

膜厚制御に好適なものである。なお、エッチング液となる焼酸の液温のより好ましい範囲は170℃～180℃である。

そして、この超薄膜化した段階では粒径は成長するが、粒界のトラップ密度は悪い。

次に、第5図に示すように、この多結晶シリコン層⑥に対して、多結晶シリコン層⑥が溶融しない程度のエネルギーをもって短波長を可とするレーザ⑦(例えばエキシア・レーザ)を照射して擬似高温熱処理を施し、粒界トラップ密度を減少せしめた多結晶シリコン層⑥を形成する。このとき熱処理は1000℃以上でシリコンの融点以下の温度で行う。このレーザ熱処理では、粒界トラップ密度が減少するだけで粒径は変化なくそのままの状態に保持される。レーザ照射による粒界トラップ密度の減少処理は、少くとも後述する薄膜トランジスタの活性領域となる部分に対して行えばよい。上記のレーザ加熱ではガラス基板①が熱により損傷あるいは変形することはない。

なお、このレーザ熱処理は上記第3図の工程が

終了した段階で行い、その後にエッチング処理して超薄膜シリコン層を形成してもよい。

このようにして得られた多結晶シリコン層⑥は結晶粒径が大きく、且つ粒界トラップ密度が少ないシリコン層であり、電気的特性の高いものとなっている。

これ以後は、通常の製造工程に従えばよい。例えば必要に応じて、水素化処理を施し、その後、第6図に示すように必要とする薄膜トランジスタの能動領域形状を形成するためのパターンエッチング処理を施し、次でゲート絶縁膜となる膜厚1000Å程度のSiO₂膜⑧をCVD法等により被着形成し、さらにその上にゲート電極や配線電極となる低抵抗の不純物ドーパ多結晶シリコン層⑨をCVD法等により被着形成する。

次に、これらのSiO₂膜⑧及び不純物ドーパ多結晶シリコン層⑨をパターンエッチングして、第7図に示すように、ゲート絶縁膜④及びゲート電極⑪を形成する。次にこれらのゲート絶縁膜④及びゲート電極⑪をマスクとする所謂セル

フアライン法により、薄膜の多結晶シリコン層⑥に例えばリンイオン(P⁺)をイオン注入してソース領域(12S)及びドレイン領域(12D)を形成する。このソース領域(12S)とドレイン領域(12D)の間のゲート下の領域はチャンネルが形成される活性領域(12C)となる。このイオン注入後600℃、30時間以上の熱処理を施して活性化処理する。次に、全体に例えばPSG(リンシリケートガラス)膜(13)を被着形成し、ソース領域(12S)及びドレイン領域(12D)に対応するPSG膜(13)にコンタクト用の窓部を設けて後、電極となるAl層を被着形成し、パターニングしてソース電極(14S)及びドレイン電極(14D)を夫々形成する。しかる後、さらにプラズマSiH膜(15)を被着形成し、ソース電極(14S)及びドレイン電極(14D)に対応する部分のプラズマSiH膜(15)に窓部(16)を設け、フォーミングガス雰囲気中で400℃の熱処理を施して、目的の超薄膜トランジスタを得る。

尚上例では基板①として低融点ガラス基板を用

い、この上に薄膜トランジスタを形成したが、その他例えば所望の半導体素子を形成したシリコン半導体基板の上に SiO_2 膜等の絶縁膜を形成した基板を用い、この上に上述と同様の低温プロセスで薄膜トランジスタを形成して所謂3次元半導体デバイスを形成する場合にも本発明は適用できる。又、上例では超薄膜トランジスタについて述べたが、通常の薄膜トランジスタ（多結晶シリコン層の膜厚が1500Å以上、）を構成する場合にも本発明は適用できること勿論である。

（発明の効果）

本発明によるシリコン半導体層の形成方法によれば、700℃以下の低温熱処理で基板上的シリコン半導体層の結晶粒径を成長させた後、1000℃以上でシリコン半導体層の融点以下の温度で類似高温熱処理することにより、粒径を変えずに粒界トラップ密度を少くすることができる。従って、低温プロセスで高温プロセスに匹敵するような電気的特性の良好なシリコン半導体層を容易に得るこ

とができるものである。従って、例えば薄膜トランジスタに適用した場合に、移動度 μ が大きく、閾値電圧 V_{th} が小さく、リーク電流が小さく、また弱反転領域の立ち上がりが鋭くなる等、高性能の薄膜トランジスタが得られる。

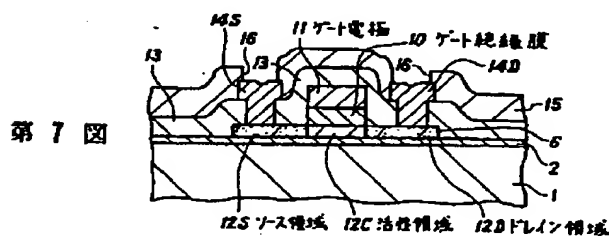
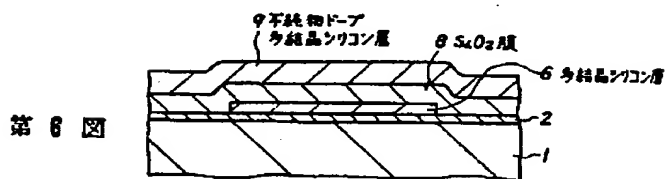
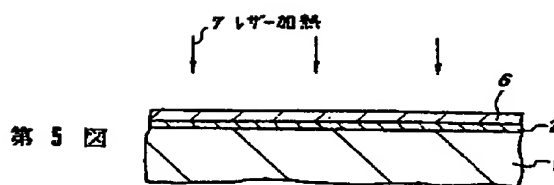
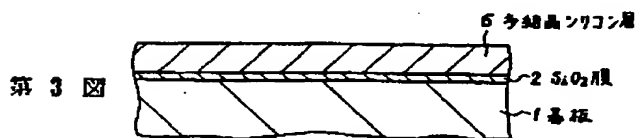
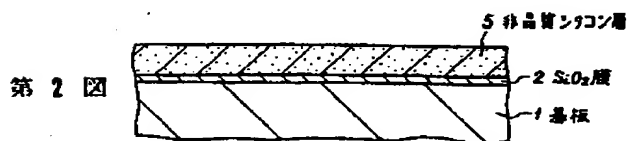
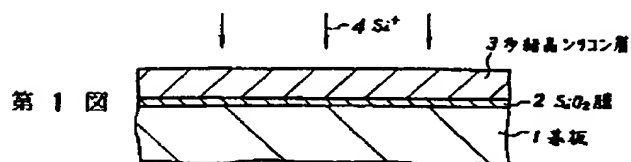
図面の簡単な説明

第1図乃至第7図は本発明を薄膜トランジスタの製法に適用した実施例を示す製造工程図である。

(1)は基板、(2)は SiO_2 膜、(3)(4)は多結晶シリコン層、(5)は非晶質シリコン層である。

代理人 伊藤 真

同 松隈 秀盛



本実施例の工程図